

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-233756

(43) 公開日 平成10年(1998) 9月2日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 4 J 13/00

H 0 4 J 13/00

A

H 0 4 B 7/08

H 0 4 B 7/08

Z

審査請求 未請求 請求項の数1 F D (全 7 頁)

(21) 出願番号 特願平9-51189

(22) 出願日 平成 9 年(1997) 2 月20日

(71) 出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72) 発明者 阿部 達也

東京都中野区東中野三丁目14番20号 国際  
電気株式会社内

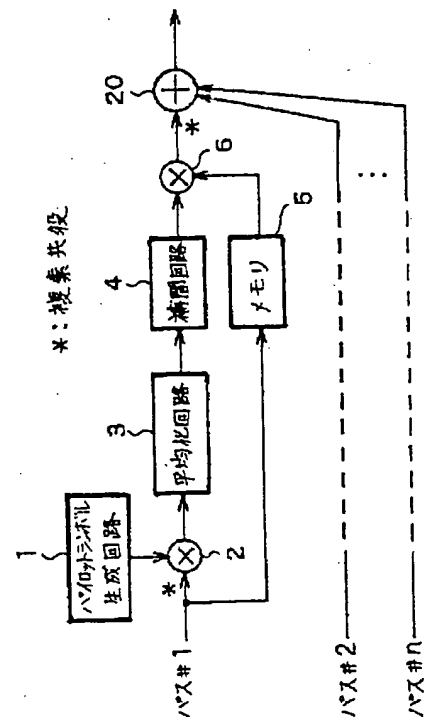
(74) 代理人 弁理士 大塚 学

(54) 【発明の名称】 マルチバスの最大比合成回路

(57) 【要約】

【課題】 直接スペクトル拡散CDMA通信方式におけるマルチバス受信信号の最大比合成回路の回路規模を縮小し、消費電力を低減する。

【解決手段】 各バス毎に、受信フレームの先頭スロットの情報シンボルブロックをメモリ5に記憶し、次スロットのパイロットシンボルブロックとパイロットシンボル生成回路1からの既知のパイロットシンボルとを複素乗算器2で共役複素乗算してパイロットシンボルの位相回転量を求める。その出力を平均化回路3で平均化し、補間回路4で位相補償ベクトルを求める。その出力とメモリ5の出力を複素乗算器6で共役複素乗算して得られたバス毎の出力ベクトルを加算器20で合成するように構成した。



## 【特許請求の範囲】

【請求項1】 直接スペクトル拡散CDMA通信方式におけるマルチパス毎の受信信号を位相補償し加算器で合成するように構成されたマルチパスの最大比合成回路において、

前記マルチパス毎に、

受信フレーム中に構成されるスロット内の情報シンボルブロックを記憶するメモリと、

送信側で生成されるパイロットシンボルと同一位相のパイロットシンボルを受信タイミングに合わせて生成するパイロットシンボル生成回路と、

次の受信スロットのパイロットシンボルブロックのパイロットシンボルと前記パイロットシンボル生成回路で生成されたパイロットシンボルとを共役複素乗算して受信パイロットシンボルの位相回転量を求める第1の複素乗算器と、

該第1の複素乗算器から出力される受信パイロットシンボルの位相回転量を平均して平均位相回転ベクトルを求める平均化回路と、

前記情報シンボルブロックの前後に位置するパイロットシンボルブロックの前記平均位相回転ベクトルを内挿補間して位相補償ベクトルを求める補償回路と、

該位相補償ベクトルと前記メモリに記憶された情報シンボルブロック内の各情報シンボルとを共役複素乗算して各情報シンボルの位相回転量を取り除き送信時の位相に戻す第2の複素乗算器とを備え、

マルチパス毎の前記第2の複素乗算器の出力を前記加算器で合成するように構成されたことを特徴とするマルチパスの最大比合成回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は符号分割多元接続(CDMA: Code Division Multiple Access)通信におけるマルチパスの最大比合成回路に関するものである。以下に、本発明の技術分野のバックグラウンドを簡単に説明する。マルチパスフェージングは、電波が送信機から受信機に至るまでに通路長の異なるいくつもの経路を通り、それらが合成されるときに発生する。その結果、受信レベルは一定にならずに変動し、SN比を減少させたり誤り率を増加させたりするなど、信号品質を劣化させるように働く。

【0002】 このフェージング対策として、ダイバーシチ技術(スペースダイバーシチ、周波数ダイバーシチ等)が利用されているが、直接スペクトル拡散による通信方式では、マルチパスを逆に利用(有効なパスを合

成)したバスダイバーシチも有用である。さらに、この複数パスの受信レベル合成方式には、最も受信レベルの高いパスを選択して切り替えて出力する選択合成方式、各パスの信号が互いに同相で加わるように合成する等利得合成方式、受信レベルで重み付けを行って各パスの信号が互いに同相で加わるように合成する最大比合成方式があるが、これらのうち最大比合成方式が最もダイバーシチ利得が大きい。

## 【0003】

【従来の技術】 図3は従来の最大比合成回路の構成例図であり、図4はフレームフォーマット例図である。図3において、1はパイロットシンボル生成回路、2は第一の共役複素乗算器、3は平均化回路、4は補間回路、5はメモリ、6は第二の共役複素乗算器、7は正規化係数算出回路、8は第一の乗算器、9は重付係数算出回路、10は第二の乗算器である。11は加算器であり、複数のパス(#1~#n)毎に設けられた以上の回路の出力を加算する。以下に従来の同期検波、最大比合成の動作を図3を用いて説明する。

【0004】 図4に示したフレーム中に構成されているスロット内の連続した情報シンボル列(以下情報シンボルブロックと呼ぶ)を受信したとき、情報シンボルブロックはメモリ5に記憶され、次スロットの単一のパイロットシンボルもしくは連続したパイロットシンボル列(以下パイロットシンボルブロックと呼ぶ)を受信したとき、パイロットシンボルブロックは第一の共役複素乗算器2に入力される。このとき、受信機側では伝送されてくるパイロットシンボルのパターンが分かっているため、パイロットシンボル生成回路1は、パイロットシンボルブロックが送信機で生成された時と同一位相のパイロットシンボル系列を生成し、出力して、共役複素乗算器2でパイロットシンボルブロック内の各パイロットシンボルと共役複素乗算する。

【0005】 共役複素乗算によりパイロットシンボルブロック内の各パイロットシンボルの位相回転量が求められ、さらに平均化回路3で平均化されて平均位相回転ベクトルが求められる。パイロットシンボルブロック内のk番目のパイロットシンボルのベクトルを( $P_{ik} + jP_{qk}$ )、送信時におけるパイロットシンボルブロック内のk番目のパイロットシンボルのベクトルを( $U_{ik} + jU_{qk}$ )とすると、平均位相回転ベクトル( $R_i + jR_q$ )は、次式で求められる。

## 【0006】

## 【数1】

$$R_i = (1/N) \cdot \sum_{k=1}^N (U_{ik} \cdot P_{ik} + U_{qk} \cdot P_{qk})$$

$$R_q = (1/N) \cdot \sum_{k=1}^N (U_{qk} \cdot P_{ik} - U_{ik} \cdot P_{qk})$$

ここで、Nはパイロットシンボルブロック内のパイロットシンボル数である。

【0007】次に、補間回路4は、前記情報シンボルブロックを位相補償するための位相補償ベクトルを求める。平均0次内挿で補間する場合、補間する情報シンボルブロックの前での平均位相回転ベクトルを $(R_i \text{ old} + j R_q \text{ old})$ とし、後ろでの平均位相回転ベクトルを $(R_i \text{ new} + j R_q \text{ new})$ とすると、位相補償ベクトル $(S_i + j S_q)$ は、次式で求められる。

【0008】

$$\text{【数2】 } S_i = (R_i \text{ old} + R_i \text{ new}) / 2$$

$$S_q = (R_q \text{ old} + R_q \text{ new}) / 2$$

【0009】補間回路4で求めた位相補償ベクトルは、第二の共役複素乗算器6に入力され、メモリ5に記憶されている情報シンボルブロック内の各情報シンボルが共役複素乗算されることにより位相補償される。メモリ5に記憶された情報シンボルブロックの内、1番目の情報シンボルのベクトルを $(I_{i1} + j I_{q1})$ とすると、位相補償後における1番目の情報シンボルのベクトル $(E_{i1} + j E_{q1})$ は、次式で求められる。

【0010】

$$\text{【数3】 } E_{i1} = I_{i1} \cdot S_i + I_{q1} \cdot S_q$$

$$E_{q1} = I_{q1} \cdot S_i - I_{i1} \cdot S_q$$

【0011】しかし、上記の位相補償ベクトルは振幅1に正規化されていないため、正規化係数算出回路7で正規化係数を算出し、第一の乗算器8で前記位相補償後の情報シンボルに掛けることで、位相補償後の情報ベクトルの振幅を受信時の振幅に保つ。ゆえに、正規化後の情報シンボルブロックにおける1番目の情報シンボルのベクトル $(D_{i1} + j D_{q1})$ は、次式で求められる。

【0012】

$$\text{【数4】 } D_{i1} = (I_{i1} \cdot S_i + I_{q1} \cdot S_q) / (S_i^2 + S_q^2)^{1/2}$$

$$D_{q1} = (I_{q1} \cdot S_i - I_{i1} \cdot S_q) / (S_i^2 + S_q^2)^{1/2}$$

【0013】位相補償され、正規化されたベクトルは、重付係数算出回路9で振幅が求められ、第二の乗算器10で振幅で重み付けされる。最後に、加算器11で、1シンボル内の全てのマルチパス波のそれぞれで位相補償され、振幅重み付けされたベクトルを加算（最大化合成）する。1番目の情報シンボルにおいて、mパス目の位相補償後のベクトルを $(D_{im} + j D_{qm})$ とすると、最大比合成した1番目の情報シンボルのベクトル $(M_{i1} + j M_{q1})$ は、次式で求められる。

【0014】

【数5】

$$M_{i1} = \sum_{m=1}^n (D_{im}^2 + D_{qm}^2)^{1/2} \cdot D_{im}$$

$$M_{q1} = \sum_{m=1}^n (D_{im}^2 + D_{qm}^2)^{1/2} \cdot D_{qm}$$

ここでnは合成するパス数である。

【0015】このようにして、上記従来の最大比合成回路例は、有効なパス#1～#nのマルチパス波をパス毎に位相補償し、振幅で重み付けして合成することでダイバーシチ効果を生み、フェージングによる受信パワーの変動を抑制するとともに、SNR (SNR : Signal Noise Ratio信号対雑音比)を改善することができる。

【0016】

【発明が解決しようとする課題】しかし、上記従来の最大比合成回路の構成では、正規化と重み付けの際に行う除算と平方根計算が必要なために、処理が複雑化する上、演算量の増加により消費電力が大きいという欠点がある。また、乗算回数が多いため、乗算器が多数個設けられて回路規模が大きくなるという欠点がある。

【0017】本発明の目的は、上記従来の問題点を解決するため、小規模の回路構成で且つ低消費電力で実現できるマルチパスの最大比合成回路を提供するものである。

【0018】

【課題を解決するための手段】本発明のマルチパスの最大比合成回路は、直接スペクトル拡散CDMA通信方式におけるマルチパス毎の受信信号を位相補償し加算器で合成するように構成されたマルチパスの最大比合成回路において、前記マルチパス毎に、受信フレーム中に構成されているスロット内の情報シンボルブロックを記憶するメモリと、送信側で生成されるパイロットシンボルと同一位相のパイロットシンボルを受信タイミングに合わせて生成するパイロットシンボル生成回路と、次の受信スロットのパイロットシンボルブロックのパイロットシンボルと前記パイロットシンボル生成回路で生成されたパイロットシンボルとを共役複素乗算して受信パイロットシンボルの位相回転量を求める第1の複素乗算器と、該第1の複素乗算器から出力される受信パイロットシンボルの位相回転量を平均して平均位相回転ベクトルを求める平均化回路と、前記情報シンボルブロックの前後に位置するパイロットシンボルブロックの前記平均位相相

転ベクトルを内挿補間して位相補償ベクトルを求める補償回路と、該位相補償ベクトルと前記メモリに記憶された情報シンボルブロック内の各情報シンボルとを共役複素乗算して各情報シンボルの位相回転量を取り除き送信時の位相に戻す第2の複素乗算器とを備え、マルチパス毎の前記第2の複素乗算器の出力を前記加算器で合成するように構成されたことを特徴とするものである。

【0019】

【発明の実施の形態】本発明の最大比合成回路の構成を図1に示す。図において、1はパイロットシンボル生成回路であって、送信機で生成されるパイロットシンボルと同一位相のパイロットシンボルを受信タイミングに合わせて生成する。2は第一の複素乗算器であって、受信したパイロットシンボルとパイロットシンボル生成回路1で生成されたパイロットシンボルとを共役複素乗算して受信パイロットシンボルの位相回転量を求める。

【0020】3は平均化回路であって、パイロットシンボルブロック内の各パイロットシンボルの位相回転量を平均して平均位相回転ベクトルを求める。4は補間回路であって、位相補償する情報シンボルブロックの前後に位置するパイロットシンボルブロックの平均位相回転ベクトルを内挿補間して位相補償ベクトルを求める。5はメモリであって、位相補償する情報シンボルブロックを記憶する。

【0021】6は第二の複素乗算器であって、補間回路4で求めた位相補償ベクトルとメモリ5に記憶された情報シンボルブロック内の各情報シンボルとを共役複素乗算して、各情報シンボルの位相回転量を取り除いて送信時の位相に戻す。20は加算器であって、1シンボル内

$$R_i = (1/N) \cdot \sum_{k=1}^N (U_{ik} \cdot P_{ik} + U_{qk} \cdot P_{qk})$$

$$R_q = (1/N) \cdot \sum_{k=1}^N (U_{qk} \cdot P_{ik} - U_{ik} \cdot P_{qk})$$

ここで、Nはパイロットシンボルブロック内のパイロットシンボル数である。

【0025】次に、補間回路4は、連続した情報シンボル列（以下情報シンボルブロックと呼ぶ）を位相補償するための位相補償ベクトルを求める。平均0次内挿で補間する場合、補間する情報シンボルブロックの前での平均位相回転ベクトルを $(R_{iold} + j R_{qold})$ とし、後ろでの平均位相回転ベクトルを $(R_{inew} + j R_{qnew})$ とすると、位相補償ベクトル $(S_i + j S_q)$ は、次式で求められる。

【0026】

$$【数7】 S_i = (R_{iold} + R_{inew}) / 2$$

$$S_q = (R_{qold} + R_{qnew}) / 2$$

【0027】補間回路4で求めた位相補償ベクトルは、第二の共役複素乗算器6に入力され、メモリ5に記憶さ

の全てのマルチパス波でそれぞれ位相補償されたベクトルを全加算する。

【0022】

【作用】本発明の最大比合成回路の作用を図1を用いて説明する。最初のスロットの連続した情報シンボル列（以下情報シンボルブロックと呼ぶ）を受信したとき、情報シンボルブロックはメモリ5に記憶され、次スロットの単一のパイロットシンボルもしくは連続したパイロットシンボル列（以下パイロットシンボルブロックと呼ぶ）を受信したとき、パイロットシンボルブロックは第一の共役複素乗算器2に入力される。このとき、受信機側では伝送されてくるパイロットシンボルのパターンが分かっているため、パイロットシンボル生成回路1は、パイロットシンボルブロックが送信機で生成された時と同一位相のパイロットシンボル系列を生成し、出力して、共役複素乗算器2でパイロットシンボルブロック内の各パイロットシンボルと共役複素乗算する。

【0023】共役複素乗算により、パイロットシンボルブロック内の各パイロットシンボルの位相回転量が求められ、さらに平均化回路3で平均化されて平均位相回転ベクトルが求められる。パイロットシンボルブロック内のk番目のパイロットシンボルのベクトルを $(P_{ik} + j P_{qk})$ とし、送信時におけるパイロットシンボルブロック内のk番目のパイロットシンボルのベクトルを $(U_{ik} + j U_{qk})$ とすると、平均位相回転ベクトル $(R_{ik} + j R_{qk})$ は、次式で求められる。

【0024】

【数6】

れている情報シンボルブロック内の各情報シンボルが共役複素乗算されることにより位相補償される。メモリ5に記憶された情報シンボルブロックの内、1番目の情報シンボルのベクトルを $(I_{i1} + j I_{q1})$ とすると、位相補償後における1番目の情報シンボルのベクトル $(E_{i1} + j E_{q1})$ は、次式で求められる。

【0028】

$$【数8】 E_{i1} = I_{i1} \cdot S_i + I_{q1} \cdot S_q$$

$$E_{q1} = I_{q1} \cdot S_i - I_{i1} \cdot S_q$$

【0029】以上は従来回路と同じである。ここで、上記の位相補償ベクトルは正規化されていないので、情報シンボルは位相補償と同時に、振幅がパイロットシンボルブロックの平均振幅倍されている。即ち、パイロットシンボルブロックの平均振幅で重み付けされている。従って、加算器20で1シンボル内の全てのマルチパス波

で位相補償されたベクトルを加算するだけで最大比合成ができる。1番目の情報シンボルにおいて、 $m$ パス目の位相補償後のベクトルを  $(D_{ilm} + j D_{qlm})$  とすると、最大比合成した1番目の情報シンボルのベクトル  $(M_{i1} + j M_{q1})$  は、次式で求められる。

【0030】

【数9】

$$M_{i1} = \sum_{m=1}^n D_{ilm}$$

$$M_{q1} = \sum_{m=1}^n D_{qlm}$$

ここで  $n$  は合成するパス数である。

測定諸元

データ変調	QPSK
チップレート	8.192 Mcps
伝送レート	64 kbps
拡散率	128
パス遅延	0, 10, 20, 30 $\mu$ s
パイロットシンボルブロック	4パイロットシンボル
パイロットシンボルブロック挿入周期	625 $\mu$ s
フェージング周波数	レイリーフェージング 5Hz
合成パス波	4パス

【0031】このようにして、本発明の最大比合成回路の構成においても、有効なマルチパス波をパス毎に位相補償し、各マルチパス波におけるパイロットシンボルブロックの平均振幅で重み付けして合成することでダイバーシチ効果を生み、フェージングによる受信パワーの変動を抑制するとともに、SNRを改善することができる。

【0032】図2に本発明の最大比合成回路による実測データを、表1にその測定諸元を示す。本発明による最大比合成回路が、選択合成方式、等利得合成方式に比べ、より大きなダイバーシチ利得が得られているのが分かる。

【0033】

【表1】

【0034】

【発明の効果】以上説明したように、本発明を実施することにより、従来の最大比合成回路における正規化係数算出回路7、第一の乗算器8、重付係数算出回路9及び第二の乗算器10が削減されるため、回路規模が小さくなり、また、演算量が減ることにより低消費電力化が図れるなど実用上の効果が大きい。

【図面の簡単な説明】

【図1】本発明の実施例を示すブロック図である。

【図2】本発明の実施例による実測データである。

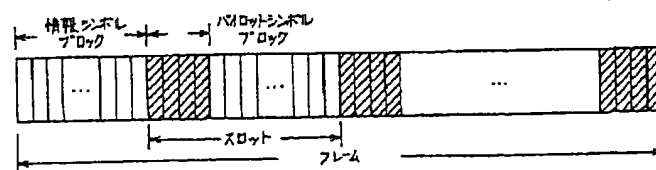
【図3】従来の回路ブロック図である。

【図4】フレームフォーマット例図である。

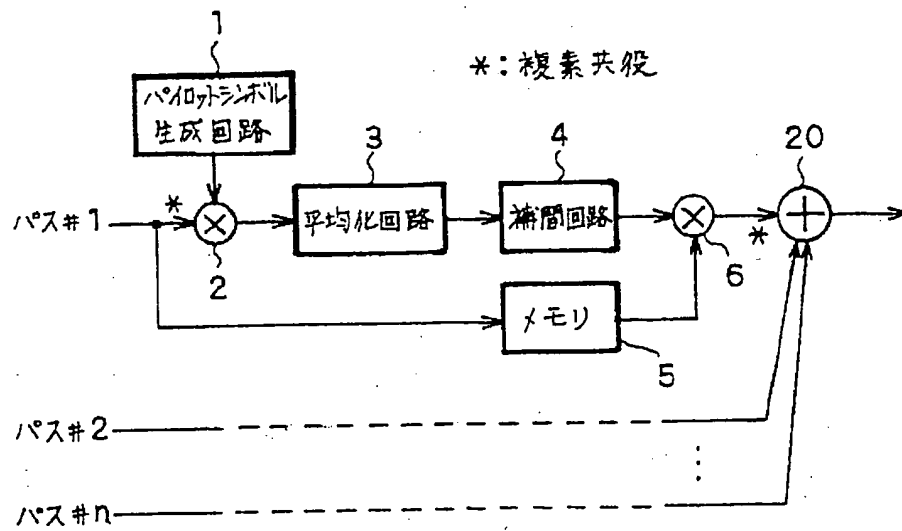
【符号の説明】

- 1 パイロットシンボル生成回路
- 2 第1の共役複素乗算器
- 3 平均化回路
- 4 補間回路
- 5 メモリ
- 6 第2の共役複素乗算器
- 7 正規化係数算出回路
- 8 第1の乗算器
- 9 重付係数算出回路
- 10 第2の乗算器
- 11 加算器
- 20 加算器

【図4】

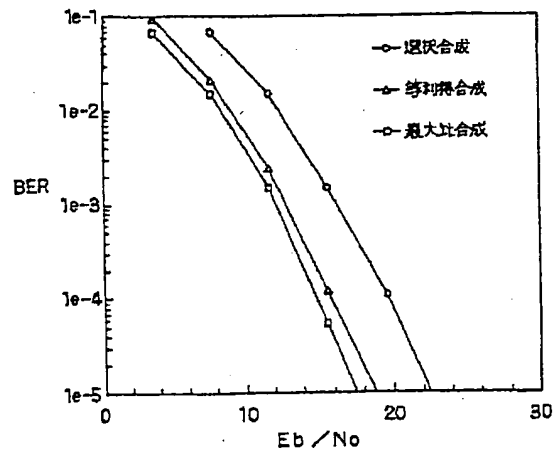


【図1】



【図2】

ダイバーシティ特性  
( $f_d=5\text{Hz}$ , 4 path 合成)



【図3】

